

MN4116

16384 ビット NMOS ダイナミック RAM / 16384-Bit NMOS Dynamic RAM

■ 概要 / Description

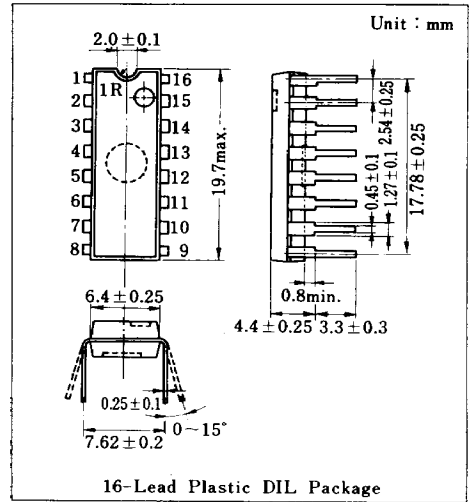
MN4116 は、16384 ビット (16384 ワード×1 ビット) NMOS ダイナミック RAM です。

アドレス入力は、マルチプレックス方式で2層ポリシリコン構造を採用しています。電源許容変動範囲が±10%と大きく、全入力はTTLコンパチブル、出力はスリーステートノンラッチ方式を採用し、I/O コモン接続として使用できます。

The MN4116 is a 16384-bit (16384 words×1 bit) NMOS dynamic RAM. The device uses multiplexing address inputs, and all inputs are TTL compatible and the outputs are using three-state non-latch system.

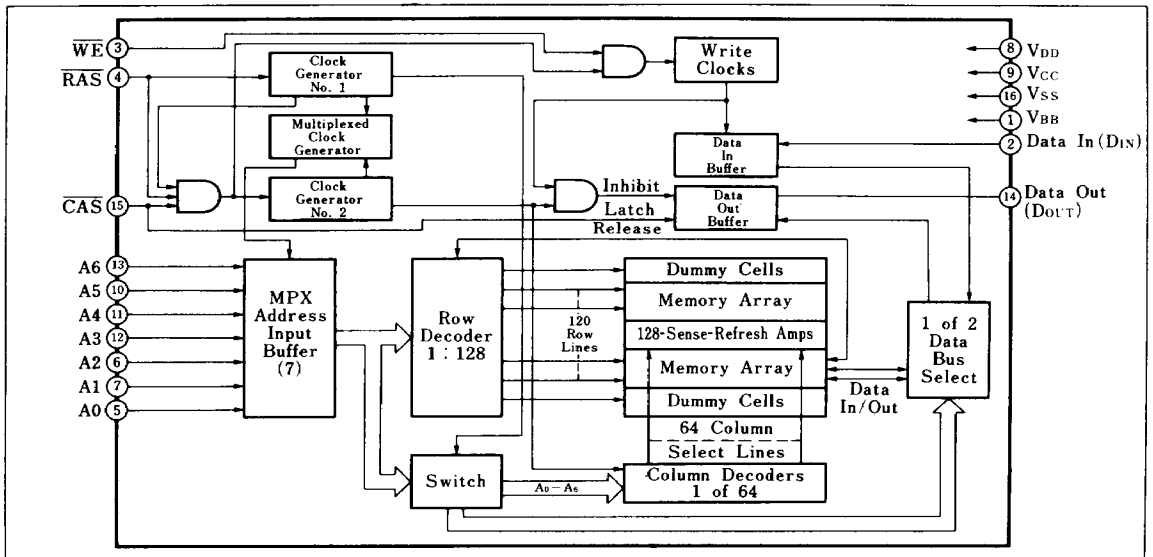
■ 特徴

- メモリ構成 16384 ワード (1 ビット/ワード)
- アクセス時間 最大 300 ns
- サイクル時間 最大 480 ns
- 消費電力 最大 462 mW (動作時)
最大 20 mW (スタンバイ時)
- 電源電圧 +12 V, ±5 V, 0 V
- 全入力 TTL コンパチブル, 低入力容量
- 出力スリーステート TTL コンパチブル
- ゲーテッド CAS
- 128 リフレッシュサイクル



- アーリイライト動作によりコモン I/O 接続可能
- サイクルエンドで出力がラッチされず、メモリ拡張容易
- リードモディファイライト、RAS オンリフレッシュ、ページモード可能
- シリコンゲート、2層ポリシリコン N チャンネル MOS 1 トランジスタセル構造

■ ブロック図 / Block Diagram



■ 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Item	Symbol	Rating	Unit
端子電圧	V _{TH} *1	-0.5 ~ +20	V
電源電圧	V _{DD} , V _{CC} *2	-0.5 ~ +15	V
出力電流	I _O	50	mA
許容損失	P _D	1.0	W
動作周囲温度	T _{opr}	0 ~ +70	°C
保存温度	T _{stg}	-55 ~ +150	°C

*1 V_{BB} 基準, *2 V_{SS} 基準, V_{BB}-V_{SS} (V_{DD}-V_{SS}>0V)

■ 動作条件/Operating Conditions (Ta=0~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V _{DD}		10.8	12.0	13.2	V
	V _{CC}		4.5	5.0	5.5	V
	V _{SS}		0	0	0	V
	V _{BB}		-4.5	-5.0	-5.5	V
入力電圧ハイレベル	V _{IH(1)}	RAS, CAS, WE	2.7		6.5	V
入力電圧ハイレベル	V _{IH(2)}	RAS, CAS, WE 以外の入力端子	2.4		6.5	V
入力電圧ローレベル	V _{IL}	全入力端子	-1	0	0.8	V

■ 電気的特性/Electrical Characteristics

DC 特性/DC Characteristics (V_{DD}=12V, V_{CC}=5V, V_{BB}=-5V, V_{SS}=0V, Ta=0~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流 (Avg.)	I _{DD(1)}	Normal Operation			35	mA
	I _{BB(1)}	RAS, CAS Cycling : t _(RC) =min.			300	μA
	I _{DD(2)}	Standby			1.5	mA
	I _{BB(2)}	RAS=CAS=V _{IH}			100	μA
	I _{DD(3)}	RAS Only Refresh			25	mA
	I _{BB(3)}	RAS Cycling, CAS=V _{IH} : t _{RC} =min.			300	μA
	I _{DD(4)}	Page Mode			27	mA
	I _{BB(4)}	RAS=V _{IL} , CAS Cycling : t _(PC) =225ns			300	μA
V _{CC} 電源電流	I _{CC} *1	出力高インピーダンス状態	-10		10	μA
入力リーク電流 (All Inputs)	I _{Leak(1)}	V _{BB} =-5V, 0V ≤ V _i ≤ 7V, 測定端子以外 0V	-10		10	μA
出力リーク電流	I _{Leak(2)}	出力高インピーダンス状態, 0V ≤ V _O ≤ 5.5V	-10		10	μA
出力電圧ハイレベル	V _{OH}	I _{OH} =-5mA	2.4			V
出力電圧ローレベル	V _{OL}	I _{OL} =4.2mA			0.4	V

*1 V_{CC} 端子は、出力バッファのみに接続されており、出力選択時、V_{CC} 電源電流は出力の負荷に依存する。注) 出力ロード電流がないとき出力電圧の振幅は、ほぼ V_{SS} から V_{CC} となる。もし出力レベルを問題にしないならば、V_{CC} を V_{SS} にしても内部的な動作には関係ない。

AC 特性 / AC Characteristics (V_{DD}=12V, V_{CC}=5V, V_{BB}=5V, Ta=0~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
リフレッシュ間隔	t _(REF)				2	ms
ランダムリード/ライトサイクルタイム	t _(RC)		375			ns
リード・ライトサイクルタイム	t _(RWC)		375			ns
ページモードサイクルタイム	t _(PC)		225			ns
RASからのアクセスタイム *1, *3	t _(RAC)				200	ns
CASからのアクセスタイム *2, *3	t _(CAC)				135	ns
出力ターンオフデレイタイム	t _(OFF)		0		50	ns
立上り, 立下り期間	t _r , t _f		3		50	ns
RASプリチャージタイム	t _(RP)		120			ns
RASパルス幅	t _(RAS)		200		32000	ns
RASホールドタイム	t _(RSH)		135			ns
CASプリチャージタイム	t _(CP)		80			ns
CASパルス幅	t _(CAS)		135		10000	ns
CASホールドタイム	t _(CSH)		200			ns
RAS・CASデレイタイム *4	t _(RCD)		30		65	ns
CAS・RASプリチャージタイム	t _(CRP)		-20			ns
ロウアドレスセットアップタイム	t _(ASR)		0			ns
ロウアドレスホールドタイム	t _(RAH)		25			ns
コラムアドレスセットアップタイム	t _(ASC)		-5			ns
コラムアドレスホールドタイム	t _(CAH)		55			ns
RASからのコラムアドレスホールドタイム	t _(AR)		120			ns
リード命令セットアップタイム	t _(RCS)		0			ns
リード命令ホールドタイム	t _(RCH)		10			ns
ライト命令セットアップタイム *5	t _(WCS)		-10			ns
ライト命令ホールドタイム	t _(WCH)		55			ns
RASからのライト命令ホールドタイム	t _(WCR)		120			ns
ライト命令パルス幅	t _(WP)		55			ns
ライト命令・RASリードタイム	t _(RWL)		80			ns
ライト命令・CASリードタイム	t _(CWL)		80			ns
データ入力セットアップタイム	t _(DS)		0			ns
データ入力ホールドタイム	t _(DH)		55			ns
RASからのデータ入力ホールドタイム	t _(DHR)		120			ns
CAS・ライト命令デレイタイム *5	t _(CWD)		95			ns
RAS・ライト命令デレイタイム *5	t _(RWD)		160			ns

*1 t_(RCD) ≤ t_(RCD)(max) の場合、もし t_(RCD) > t_(RCD)(max) になる場合は、その分 (t_(RCD) - t_(RCD)(max)) だけ t_(RAC) が大きくなる。

*2 t_(RCD) ≥ t_(RCD)(max) の場合。

*3 2TTL+100pF 負荷。

*4 t_(RCD)(max) は、t_(RCA)(max) が保証される t_(RCD) の最大ポイントで動作限界点ではない。
もし、t_(RCD) > t_(RCD)(max) になった場合は、アクセスタイムは t_(CAC) に支配される。

*5 t_(WCS), t_(CWD), t_(RWD) は、動作モードを規定する点でメモリの動作限界点ではない。

t_(WCS) ≥ t_(WCS)(min) の場合は、アーリイライトサイクルとなり、出力端子はオープン (ハイインピーダンス) となる。

t_(CWD) ≥ t_(CWD)(min) で t_(RWD) ≥ t_(RWD)(min) の場合は、リードライトサイクルとなり、データ出力は選択セルの情報になる。

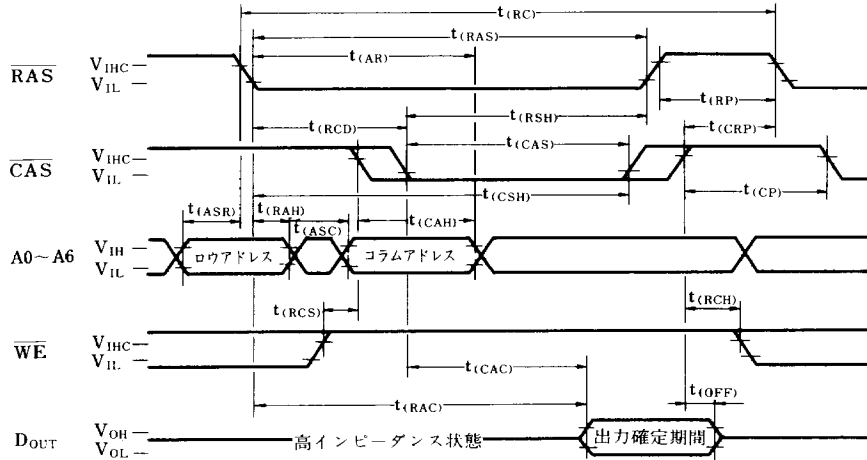
上記以外のタイミングの場合、出力は不確定になる。

■ 端子容量/Terminal Capacitance (Ta=25°C)

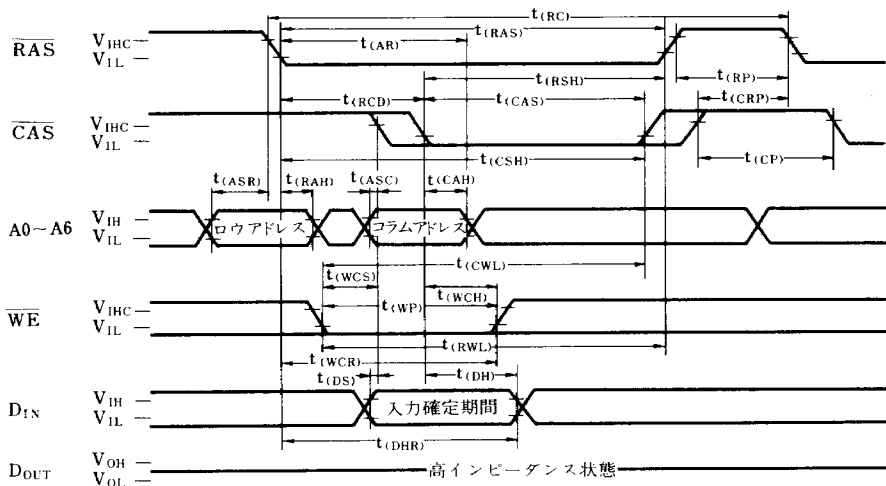
Item	Symbol	Condition	min.	typ.	max.	Unit
入力容量 (A0~A6), D _{IN}	C _{I(1)}				5	pF
入力容量 RAS, CAS, WE	C _{I(2)}				10	pF
出力容量 (D _{OUT})	C _O				7	pF

■ タイミング図/Timing Diagrams

1. リードサイクル/READ Cycle

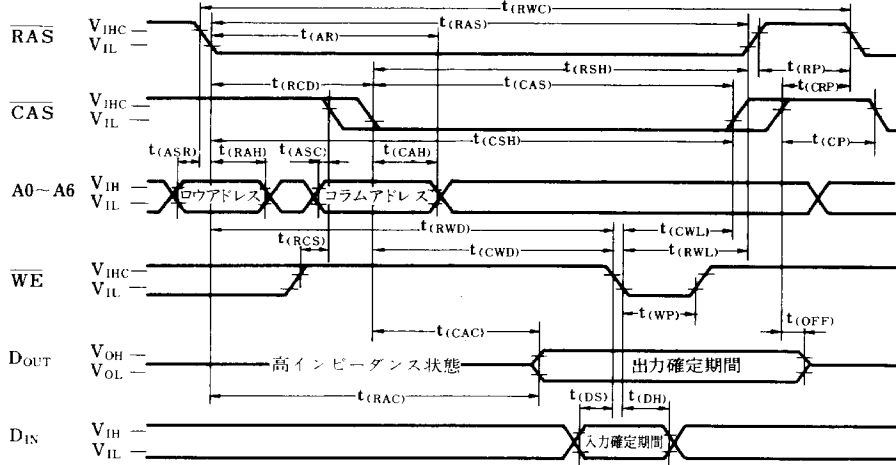


2. ライトサイクル (アーリィライト)/WRITE Cycle (Early WRITE)

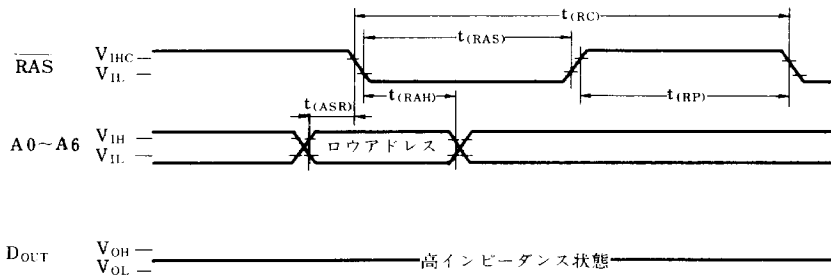


3. リード・ライト／リード・モディファイ・ライトサイクル

READ・WRITE／READ・MODIFY・WRITE Cycle

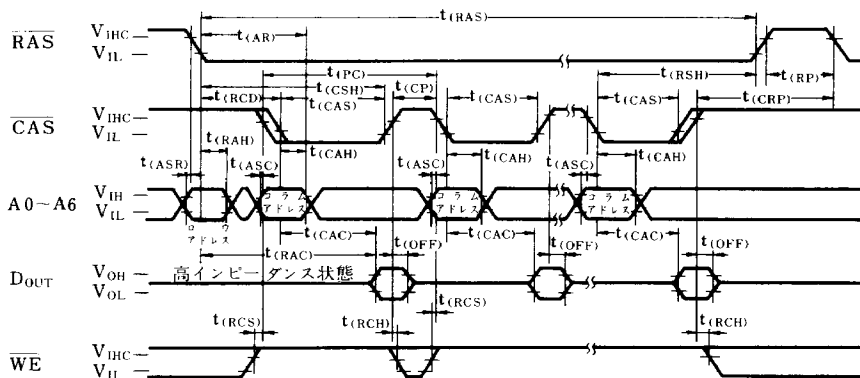


4. RAS オンリ リフレッシュサイクル／RAS Only Refresh Cycle

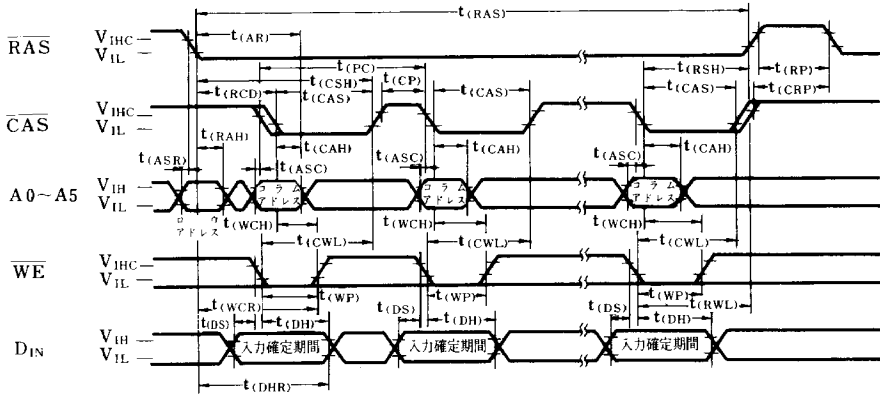


注) CAS= V_{IH} , WE="H", "L" に無関係。

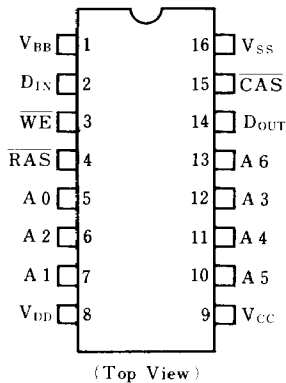
5. ページモード・リードサイクル／Page Mode・READ Cycle



6. ページモード・ライトサイクル / Page Mode · WRITE Cycle



■ 端子接続図 / Terminal Connections



■ 端子説明 / Terminal Assignments

記号	端子名
$\text{A0} \sim \text{A6}$	アドレス入力
$\overline{\text{RAS}}$	ロウアドレス ストローブ
$\overline{\text{CAS}}$	コラムアドレス ストローブ
$\overline{\text{WE}}$	ライトイネーブル
D_{IN}	データ入力
D_{OUT}	データ出力
V_{DD}	電源 (+12 V)
V_{CC}	電源 (+5 V)
V_{BB}	電源 (-5 V)
V_{SS}	電源 (0 V)

■ 機能説明

1. アドレス入力

16384 のストレージセルから、任意の 1 セルを選ぶのに必要な 14 のバイナリ入力、2 つの TTL レベルクロックにより、7 本のアドレス入力にマルチプレックスされます。最初に、7 ビットロウ (行) アドレスをアドレス入力端子 $\text{A0} \sim \text{A6}$ に設定し、 $\overline{\text{RAS}}$ (ロウアドレス ストローブ) を "L" にします。

この動作により、ロウアドレス情報が内部回路にラッチされます。

その後で、7 ビットのコラム (列) アドレスをアドレス入力に加え、 $\overline{\text{CAS}}$ (コラムアドレス ストローブ) を "L" にすることにより、コラムアドレス情報を内部的にラッチします。

すべてのアドレス入力は、 $\overline{\text{RAS}}$ の立下りまでに確実に安定していなければなりません。

$\overline{\text{CAS}}$ は、 $\overline{\text{RAS}}$ 信号により内部的に制御されており、規格上の $t(\text{RAH})$ (ロウアドレス ホールドタイム) の直後に $\overline{\text{CAS}}$ を入力することができます。

2. ライト命令

$\overline{\text{WE}}$ 端子の情報によって、ライトモードとリードモードの選択を行います。

$\overline{\text{WE}}$ をハイレベル ("1") にするとリードモードとなり、ローレベル ("0") にするとライトモードになります。リードモードの場合、データ入力は無視されます。

3. データ入力

データ入力端子の情報は、ライトサイクルまたはリードモディファイ ライトサイクルに設定された場合に、内部に書き込まれます。

データ入力 (D_{IN}) レジスタのストロブは、 \overline{WE} と \overline{CAS} の立下りの遅い方になります。

いま、ライトサイクルにおいて \overline{CAS} が立ち下がる前に、 \overline{WE} がローレベル (ライトモード) になったとすれば、 D_{IN} は \overline{CAS} によってストロブされ、データのセットアップとホールド時間は、 \overline{CAS} の立下りから規定されます。

一方、リードモディファイ ライトサイクルにみられるように、 \overline{WE} が \overline{CAS} の立下りより遅れてローレベルになる場合は、 D_{IN} は \overline{WE} の立下りによってストロブされ、セットアップとホールド時間は、 \overline{WE} の立下りから規定されます。

4. データ出力

出力バッファは、スリーステート TTL 出力となっており、ファンアウトとして標準的な TTL を 2 入力駆動できます。データ出力情報は、データ入力と同相の極性が出力されません。 \overline{CAS} がローレベルになるまで、出力はハイインピーダンス状態を保ちます。

リードサイクルまたはリードモディファイ ライトサイクルにおいて、 $t_{(RCD)}$ が $t_{(RCD)}(\max)$ 以下にあるときは、 \overline{RAS} の立下りから最大 $t_{(RAC)}(\max)$ 以内に選択されたセルのデータ出力が得られます。

もし $t_{(RCD)}$ が $t_{(RCD)}(\max)$ よりも大きい場合には、 \overline{CAS} の立下りから最大 $t_{(CAC)}(\max)$ 以内にデータ出力が得られます。

当然、このときの $t_{(RAC)}$ は $t_{(RCD)} - t_{(RCD)}(\max)$ だけ小さくなります。

データ出力情報は一旦出力されると、 \overline{RAS} 入力にかかわらず \overline{CAS} が再びハイレベルになるまで保持されます。

5. ページモード

ページモード動作は、ロウアドレスを内部的にラッチし、 \overline{RAS} をローレベルにしたまま \overline{CAS} を動作させ、コラムアドレスをストロブしていくもので、消費電力が少なく、通常のサイクルに比べアクセスタイム サイクルタイムが小さくなります。

6. リフレッシュ

データ保持のために、ロウアドレス各々につき最大 2 ms 以内にリフレッシュする必要があります。

通常のメモリ動作においては、選択されたセルと同じロウ (行) に接続されているセルは、自動的にリフレッシュされます。

\overline{RAS} オンリリフレッシュモードは、 \overline{CAS} をハイレベルにして \overline{RAS} のみ動作させ、128 のロウアドレスの各々を選択し、すべてのセルのリフレッシュを行なう動作モードで、通常のメモリ動作に比較して消費電力を低減できます。この場合、出力はハイインピーダンスとなります。